

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 6 日
Date of Application:

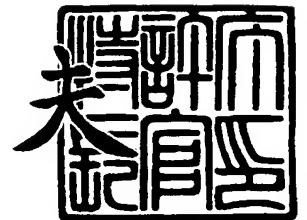
出 願 番 号 特 願 2 0 0 3 - 0 8 5 1 8 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 8 5 1 8 7]

出 願 人 日 本 ビ ク タ ー 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 8 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 6 7 9 3 1

【書類名】 特許願

【整理番号】 415000041

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/13

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地 日本ビ
 クター株式会社内

 【氏名】 越智 豊

【発明者】

 【住所又は居所】 神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地 日本ビ
 クター株式会社内

 【氏名】 茂田 正信

【特許出願人】

 【識別番号】 000004329

 【氏名又は名称】 日本ビクター株式会社

 【代表者】 寺田 雅彦

 【電話番号】 045-450-2423

【先の出願に基づく優先権主張】

 【出願番号】 特願2002- 85456

 【出願日】 平成14年 3月26日

【手数料の表示】

 【予納台帳番号】 003654

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 垂直配向型液晶表示素子の駆動方法

【特許請求の範囲】

【請求項 1】

液晶表示素子内の液晶に電圧を印加して前記液晶表示素子の階調を表現させるために用いられる駆動用パルス列であって、このパルス列の 1 フィールド期間を、前記液晶を駆動しない非表示期間と前記液晶を駆動する表示期間とからなる複数のサブフィールドで構成し、前記階調に応じて選択された各サブフィールドの組合わせに対し、前記液晶を駆動する表示期間の間、前記液晶に所定の電圧を印加して、前記階調に対応して前記液晶に入射する光を変調して、画像を表示するデジタル方式の垂直配向型液晶表示素子の駆動方法において、

前記夫々のサブフィールドの前記表示期間の合計と前記 1 フィールド期間との比を 1 : 6 以上 5 : 6 以下の範囲とし、前記表示期間において、前記液晶に前記所定電圧として前記液晶の飽和駆動電圧を印加して、液晶を駆動することを特徴とする垂直配向型液晶表示素子の駆動方法。

【請求項 2】

請求項 1 に記載の垂直配向型液晶表示素子の駆動方法において、

前記各サブフィールドにおいて、前記表示期間が所定期間以上のサブフィールドがある場合には、前記表示期間を分割し、分割された各表示期間の間を所定時間幅の前記非表示期間として、液晶を駆動することを特徴とする垂直配向型液晶表示素子の駆動方法。

【請求項 3】

請求項 1 又は請求項 2 に記載の垂直配向型液晶表示素子の駆動方法において、

前記所定電圧を、前記飽和駆動電圧より大きい電圧として、液晶を駆動することを特徴とする垂直配向型液晶表示素子の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、投射型ディスプレイ、ビューファインダー及びヘッドマウントディスプレイ等に用いる液晶表示素子の駆動方法に係り、特に垂直配向型液晶表示素子の高品質画像表示を可能とする垂直配向型液晶表示素子の駆動方法に関するものである。

【0002】

【従来の技術】

従来、投射型ディスプレイ、ビューファインダー及びヘッドマウントディスプレイ等として液晶表示装置が広く用いられている。

以下、図12に基づき液晶表示装置の概略構成例を説明する。

図12は、一般的な反射型液晶表示素子を用いた液晶表示装置の基本構成図である。

同図に示すように、液晶表示装置10は、概略、液晶表示素子5、偏光ビームスプリッタ（以下、PBSともいう）6、投射レンズ12及びスクリーン13をこの順に配列したものより構成される。

【0003】

反射型アクティブマトリクス型の液晶表示素子5においては、透明な対向電極4と、入射光7を反射する各画素毎に設けられている画素電極2との間に液晶3が封止されており、画素電極2には、ビデオ信号源（図示しない）から供給される画像信号を入力するための駆動トランジスタ1が接続されている。

【0004】

入射光7は、液晶表示素子5からスクリーン10に至る光路に垂直に、PBS6に入射する。S成分（S波）8とP成分（P波）9を含む入射光7がPBS6を通過すると、入射光7のうちのS成分8のみが液晶表示素子5側に進行する。液晶3は駆動トランジスタ1からの画像信号に対応した駆動電圧により動作している。液晶表示素子5に入射するS波8は、液晶3により変調をうける。従って、画素電極2で反射して、液晶表示素子5から出射する光は、P波9とS波8からなる。この光はPBS6を通過すると、P波9のみが直進し、出射光11として、投射レンズ12により、スクリーン13上に投射され、スクリーン13上には画像が表示される。

なお、出力光の強度とは、スクリーン 13 上で測定した出力光の照度をいう。

【0005】

ここで、アクティブマトリクス型液晶表示素子の画素は、図 13 に示される。

図 13 は、従来例の液晶表示素子における画素のブロック図である。

画素 20 が、マトリクス状に配置されて、液晶表示素子が構成されており、それぞれの画素は、スイッチングトランジスタ 23 と、保持容量 24 及び画素電極 27 と対向電極 26 との間に保持された液晶 25 とから構成される。

【0006】

スイッチングトランジスタ 23 のゲート G は選択線 22 に接続しており、選択線 22 には選択信号が供給される。スイッチングトランジスタ 23 のドレイン D はデータ線 21 に接続されており、データ線 21 には画像信号に対応する入力信号が供給される。

選択信号によりスイッチングトランジスタ 23 がオンすると、入力信号は、スイッチングトランジスタ 23 のドレイン D 及びソース S を通して、保持容量 24 に蓄積されるとともに、画素電極 27 に印加されて、画素電極 27 と対向電極 26 との間に印加される電圧で、液晶 25 を駆動し、液晶 25 中に入射する光を変調する。

【0007】

この液晶 25 を駆動する画像信号に対応する入力信号は、図 14 に示される。

図 14 は、従来例の液晶表示素子に加えられるアナログ入力（画像）信号の波形を示す図である。

同図に示すように、アナログ入力信号は、対向電極電圧に対して 1 フィールドごとに交番する波形となる。ここで、同図の波形が、出射光強度が大きくなり始める閾値電圧 V_{th} （図 15 参照）とすると、各画素に印加される入力信号は、図示の波形に、黒から白までのレベルに応じて所定の電圧が加わったものである（最大で飽和駆動電圧 V_p となる。）。

【0008】

図 15 は、液晶に印加される入力電圧と出力光の強度との関係を示すグラフ図である。

同図において、横軸は入力電圧であり、画素電極と対向電極との間の電位差、すなわち液晶の駆動電圧を示す。なお、対向電極をCE側と表示してある。縦軸は、液晶から出射される出力光の強度を示す。

液晶から出射される出射（出力）光の強度が大きくなり始める電圧が閾値電圧 V_{th} （黒レベルである。）であり、出射（出力）光が飽和し始める電圧が飽和（駆動）電圧 V_p （白レベルである。）である。

このように、従来、アクティブマトリックス型の液晶を駆動する方法は、アナログ信号で液晶を制御するのが一般的である（例えば、特許文献1参照。）。

【0009】

【特許文献1】

特開2001-59957号公報（第3頁、第9図）

【0010】

【発明が解決しようとする課題】

ところで、最近の液晶表示装置やシステムに対しては、高品質な映画鑑賞等に対応するため、より高輝度化、高解像度化、高コントラスト化が求められるようになってきた。

ここで、使用する液晶には次のような方式がある。

（1）偏光を使用するものとしては、FLC型（Ferroelectric Liquid Crystal 強誘電液晶型）、垂直配向型（VA型：Vertical Aligned）、HAN型（Hybrid Aligned Nematic）、TN型（Twisted Nematic）があり、（2）散乱を使用するものとして、PDLC（Polymer Dispersed Liquid Crystal）があり、（3）回折を使用するものとして、ZFD（Zero Field Diffraction）等がある。

【0011】

このうち、高品質システムの液晶の方式としては、垂直配向型やTN型が使用される。特に、コントラスト（以下、コントラスト比ともいう）を向上させるには、垂直配向型が有利であると言われている。

一方、解像度を向上させるために、画素の微細化が求められているが、垂直配

向型においては、画素ピッチを小さくすると、液晶デバイス特有のディスクリネーションが画素内の一部に発生し、輝度の低下によるMTF (Modulation Transfer Function) の悪化や、カラー画像表示のために色を合成する際に、ディスクリネーション部分が補色となる悪影響が発生することがわかってきた。そして今後のさらなる高解像度化（小画素ピッチ化）においては垂直配向型の特徴が生かされない可能性もでてきた（これらは、SID'99 Digest, p. 750-753, 1999に指摘されている。）。

【0012】

ディスクリネーションが発生すると次のようになる。

図16は、隣接する画素に交互に白、黒を表示した状態を示す図である。

図17は、隣接する画素に交互に白、黒を表示してディスクリネーションが発生した状態を示す図である。

図18は、隣接する画素におけるディスクリネーションを示すグラフである。

図19は、垂直配向型液晶におけるプレチルト角を示す図である。

【0013】

図16には、画素G11、G21、G31の列を黒表示とし、これの右に隣接する画素G12、G22、G32の列を白表示とし、さらに、これの右に隣接する画素G13、G23、G33の列を黒表示としたものである。ここでは、ディスクリネーションは発生していない。

【0014】

一方、図17には、画素G'11、G'21、G'31の列を黒表示とし、これらの右に隣接する画素G'12、G'22、G'32の列を白表示とし、さらに、これらの右に隣接する画素G'13、G'23、G'33の列を黒表示としたものである。ここでは、ディスクリネーションが発生しているため、画素G'12、G'22、G'32の列には、本来全体が白表示にならなければならないが、黒い部分が発生する。

【0015】

図18には、ディスクリネーションが表れる場合の明るさの変化を示してあり、画素1及び画素3に対し上述の閾値電圧 V_{th} を印加し、画素2に対し、飽和

電圧 V_p を印加した場合に、最も著しく現れる。ここで、 D はディスクリネーション侵入深さを表す。

【0016】

図 19 には、垂直配向型液晶表示素子における無電界時の液晶分子の様子を示す。垂直配向膜 75 の作用により液晶分子 72 の長軸 74 が基板 61 面の法線 73 方向から傾いている。液晶分子 72 の長軸 74 と基板面の法線 73 とのなす角度 θ_{LC} がプレチルト角である。液晶表示素子における液晶セル厚とプレチルト角が変わらなければ、ディスクリネーション侵入深さ D はほとんど変わらないため、画素ピッチが小さくなるほど、ディスクリネーションの影響が大きくなる。

【0017】

この現象は、従来のアナログ駆動方法を用いる、液晶の方式が、高コントラストが得られる垂直配向型において著しい。

【0018】

一方、液晶表示素子の各画素を駆動する方法としては、デジタル方式も存在する。

デジタル方式では、画素に印加する入力信号電圧の大きさを固定し、画像の輝度（階調）に対応して、入力信号の時間幅を変えることにより、すなわち、PWM (Pulse Width Modulation) 方式により、画素の液晶に印加する実効電圧値を制御する。

【0019】

図 20 は、液晶表示素子に加えられる従来のデジタル入力（画像）信号の波形を示す図である。

同図には、6 ビット階調の場合が例示されている。フィールド周波数を 60 Hz としたときは、その 1 フィールド期間は 16.7 msec となる。1 フィールドを構成するサブフィールドは B0 ~ B5 となる。この場合、サブフィールドの選択組合せにより、64 ビットの階調表示が可能となる。

1 サブフィールドにおいては、液晶を電圧駆動し表示オンとなる表示期間と液晶を電圧駆動しない表示オフとなる非表示期間とがある。1 サブフィールドの非表示期間は、全てのサブフィールドに対して、例えば 0.1 msec として、非

表示期間には、液晶に閾値電圧 V_{th} が印加される。

【0020】

サブフィールド B0 においては、サブフィールド期間は 0.26 msec であり、液晶に飽和電圧 V_p が表示期間 0.16 msec の間印加される。サブフィールド B1 においては、サブフィールド期間は 0.53 msec であり、液晶に飽和電圧 V_p が表示期間 0.43 msec の間印加される。サブフィールド B2 においては、サブフィールド期間は 1.06 msec であり、液晶に飽和電圧 V_p が表示期間 0.96 msec の間印加される。サブフィールド B3 においては、サブフィールド期間は 2.12 msec であり、液晶に飽和電圧 V_p が表示期間 2.02 msec の間印加される。サブフィールド B4 においては、サブフィールド期間は 4.23 msec であり、液晶に飽和電圧 V_p が表示期間 4.13 msec の間印加される。サブフィールド B5 においては、サブフィールド期間は 8.46 msec であり、液晶に飽和電圧 V_p が表示期間 8.36 msec の間印加される。

表 1 に、上述した、液晶に印加される従来のデジタル入力信号の内容を示す。

【0021】

【表 1】

	期間長さ (msec)	表示期間 (msec)	非表示期間 (msec)
B0	0.26	0.16	0.10
B1	0.53	0.43	0.10
B2	1.06	0.96	0.10
B3	2.12	2.02	0.10
B4	4.23	4.13	0.10
B5	8.46	8.36	0.10

【0022】

液晶から出射される出力光強度が最小となる黒表示の場合は、1 フィールド期間の間、閾値電圧 V_{th} が画素の液晶に印加される。一方、出力光強度が最大となる白表示の場合には、1 フィールド期間の間、非表示期間を除き、飽和電圧 V_p が印加される。白と黒の中間の階調では、その階調色に対応して、B0～B5 を組合せた期間の表示期間の間、液晶に飽和電圧 V_p が印加される。

従って、上述した図 18 において、画素 1 及び 3 に電圧 V_{th} （黒表示）を、画素 2 に電圧 V_p （白表示）をそれぞれ加えた場合には、画素 2 には、1 フィールド期間のほとんどの間（表示期間は 16.1 msec である。）、飽和電圧 V_p が加わり、アナログ方式と同様になり、ディスクリネーションが発生する。

すなわち、従来のアナログ方式及びデジタル方式の駆動方法によっては、垂直配向型液晶表示素子においてディスクリネーションの発生があり、表示画質を劣化させてしまう。

【0023】

このディスクリネーションを低減するためには、（1）液晶のプレチルト角を大きくする、（2）液晶セル厚を薄くするなどの方法が考えられる。

しかし、液晶のプレチルト角を大きくすると、コントラストが低下してしまうという問題があった。

【0024】

また、液晶セル厚を薄くすると、液晶の駆動電圧が大きくなる。画素を微小化すると、トランジスタも共に微小化し、それに伴って、トランジスタの駆動耐圧が低下するため高電圧がかけられなくなり、液晶を十分駆動できなくなる。

すなわち、垂直配向型液晶を使用した液晶表示素子において、画素寸法の微小化による高解像度化、コントラストの向上、ディスクリネーションの低減を同時に実現することは極めて困難であるという問題があった。

【0025】

そこで本発明は、上記問題を解決して、ディスクリネーションを増加させることなく、高コントラスト、高解像度の画像表示を可能とする垂直配向型液晶表示素子の駆動方法を提供することを目的とするものである。

【0026】

【課題を解決するための手段】

上記目的を達成するための手段として、第 1 の発明は、液晶表示素子内の液晶に電圧を印加して前記液晶表示素子の階調を表現させるために用いられる駆動用パルス列であって、このパルス列の 1 フィールド期間を、前記液晶を駆動しない非表示期間と前記液晶を駆動する表示期間とからなる複数のサブフィールドで構

成し、前記階調に応じて選択された各サブフィールドの組合わせに対し、前記液晶を駆動する表示期間の間、前記液晶に所定の電圧を印加して、前記階調に対応して前記液晶に入射する光を変調して、画像を表示するデジタル方式の垂直配向型液晶表示素子の駆動方法において、

前記夫々のサブフィールドの前記表示期間の合計と前記 1 フィールド期間との比を 1 : 6 以上 5 : 6 以下の範囲とし、前記表示期間において、前記液晶に前記所定電圧として前記液晶の飽和駆動電圧を印加して、液晶を駆動することを特徴とする垂直配向型液晶表示素子の駆動方法である。

また、第 2 の発明は、第 1 の発明において、前記各サブフィールドにおいて、前記表示期間が所定期間以上のサブフィールドがある場合には、前記表示期間を分割し、分割された各表示期間の間を所定時間幅の前記非表示期間として、液晶を駆動することを特徴とする垂直配向型液晶表示素子の駆動方法である。

また、第 3 の発明は、第 1 又は第 2 の発明において、前記所定電圧を、前記飽和駆動電圧より大きい電圧として、液晶を駆動することを特徴とする垂直配向型液晶表示素子の駆動方法である。

【0027】

【発明の実施の形態】

以下、本発明の実施の形態につき、好ましい実施例により、図面を参照して説明する。なお、参照符号及び記号については、従来例における構成と同一のものについては同一の符号及び記号を付し、その説明を省略する

【0028】

<実施例>

本願発明者は鋭意検討した結果、液晶の応答特性（電圧印加したときの光出力特性）として、デジタル信号が印加されると、光出力の立ち上がり速度は速く、立下り速度が遅いため、入力信号パルス幅を短くしても光出力は十分取れることを見出した。これに基づき、パルス幅の長いパルスを短いパルスに分割して、画素に印加すると、隣接画素間電位差を実効的に小さくすることができて、ディスクリネーションを抑制できるという知見を得て、本願発明に至ったものである。

【0029】

まず、本実施例におけるデジタル駆動方式を説明する。

図 1 は、本発明の垂直配向型液晶表示素子の駆動方法の実施例において、画素に印加するデジタル入力（画像）信号の波形を示す図である。

ここでは、以下の場合も含め、例えば閾値電圧 V_{th} は 1.5 V、飽和電圧 V_p は 4 V としてある。また、以下、閾値電圧 V_{th} を単に V_{th} 、飽和電圧 V_p を単に V_p とも表示する。

【0030】

同図に示すように、本実施例では、図 20 で示したデジタル信号 B_0 (LSB) ~ B_5 (MSB) と同様、デジタル信号 B'_0 (LSB) ~ B'_5 (MSB) は、サブフィールド期間（6 ビット階調）を有する一方、各サブフィールド期間において、飽和電圧 V_p の印加されるパルス幅を短くし、閾値電圧 V_{th} の印加される非表示期間は所定の値に設定してある。階調表示は、 V_p を印加するサブフィールドの選択と組み合わせによって行う（ V_p を印加しない場合は、サブフィールド期間中 V_{th} が印加される。）

以下、1 フィールド期間において、表示期間と 1 フィールド期間の比率をいろいろ変えた場合を説明する。

【0031】

（ケース 1）

1 フィールド期間中において、表示期間と 1 フィールド期間の比を約 1 : 6 とする場合。なお、この比は、白表示としたときの各サブフィールドの表示期間の合計と 1 フィールド期間の比であり、各ケースにおいて、同様である。

長いサブフィールド期間（ B'_4 , B'_5 ）の場合においては、1 : 6 の比率を保ちながら、 V_p の印加される期間を 0.36 msec を超えない複数のパルスに分割して、全体として、所定の時間 V_p が印加されるようにしている。また、非表示期間は全てのサブフィールドに対し 1.38 msec に設定してある。

【0032】

すなわち、サブフィールド B'_0 においては、パルス幅（表示期間である、以下同じ）を 0.05 msec とし、サブフィールド B'_1 においては、パルス幅を 0.09 msec とし、サブフィールド B'_2 においては、パルス幅を 0.1

8 msec とし、サブフィールド B' 3 においては、パルス幅を 0.36 msec とし、サブフィールド B' 4 においては、2つのパルスに分割し、各パルス幅を 0.36 msec とし、サブフィールド B' 5 においては、4つのパルスに分割し、各パルス幅を 0.36 msec にしてある。なお、ここではパルス幅の期間、飽和電圧 V_p が印加されるものである。

表 2 に、ケース 1 のデジタル信号の内容を示す。

【0033】

【表 2】

	期間長さ (msec)	表示期間 (msec)	パルス数	非表示期間 (msec)
B'0	1.43	0.05	1	1.38
B'1	1.47	0.09	1	1.38
B'2	1.56	0.18	1	1.38
B'3	1.74	0.36	1	1.38
B'4	3.48	0.36	2	1.38
B'5	6.96	0.36	4	1.38

【0034】

(ケース 2)

1 フィールド期間中において、表示期間と 1 フィールド期間の比を約 1 : 3 とする場合。

長いサブフィールド期間 (B' 4, B' 5) の場合においては、1 : 3 の比率を保ちながら、 V_p の印加される期間を 0.7 msec を超えない複数のパルスに分割して、全体として、所定の時間 V_p が印加されるようにしている。また、非表示期間は全てのサブフィールドに対し 1.12 msec に設定してある。

【0035】

すなわち、サブフィールド B' 0 においては、表示期間を 0.08 msec とし、サブフィールド B' 1 においては、表示期間を 0.16 msec とし、サブフィールド B' 2 においては、表示期間を 0.33 msec とし、サブフィールド B' 3 においては、表示期間を 0.68 msec とし、サブフィールド B' 4 においては、2つのパルスに分割し、各表示期間を 0.7 msec とし、サブフィールド B' 5 においては、4つのパルスに分割し、各表示期間を 0.7 msec

c にしてある。なお、ここでは表示期間の期間、飽和電圧 V_p が印加されるものである。

表 3 に、ケース 2 のデジタル信号の内容を示す。

【 0 0 3 6 】

【表 3】

	期間長さ (msec)	表示期間 (msec)	パルス数	非 表 示 期 間 (msec)
B'0	1. 2 0	0. 0 8	1	1. 1 2
B'1	1. 2 8	0. 1 6	1	1. 1 2
B'2	1. 4 5	0. 3 3	1	1. 1 2
B'3	1. 8 0	0. 6 8	1	1. 1 2
B'4	3. 6 4	0. 7 0	2	1. 1 2
B'5	7. 2 8	0. 7 0	4	1. 1 2

【 0 0 3 7 】

(ケース 3)

1 フィールド期間中において、表示期間と 1 フィールド期間の比を約 1 : 2 とする場合。

長いサブフィールド期間 (B' 4, B' 5) の場合においては、1 : 2 の比率を保ちながら、 V_p の印加される期間を 1. 0 6 m s e c を超えない複数のパルスに分割して、全体として、所定の時間 V_p が印加されるようにしている。また、非表示期間は全てのサブフィールドに対し 0. 8 4 m s e c に設定してある。

【 0 0 3 8 】

すなわちサブフィールド B' 0 においては、表示期間を 0. 1 3 m s e c とし、サブフィールド B' 1 においては、表示期間を 0. 2 6 m s e c とし、サブフィールド B' 2 においては、表示期間を 0. 5 3 m s e c とし、サブフィールド B' 3 においては、表示期間を 1. 0 6 m s e c とし、サブフィールド B' 4 においては、2 つのパルスに分割し、各表示期間を 1. 0 6 m s e c とし、サブフィールド B' 5 においては、4 つのパルスに分割し、各表示期間を 1. 0 6 m s e c にしてある。なお、ここでは表示期間の期間、飽和電圧 V_p が印加されるものである。

表 4 に、ケース 3 のデジタル信号の内容を示す。

【0039】

【表4】

	期間長さ (msec)	表示期間 (msec)	パルス数	非表示期間 (msec)
B'0	0.97	0.13	1	0.84
B'1	1.10	0.26	1	0.84
B'2	1.37	0.53	1	0.84
B'3	1.90	1.06	1	0.84
B'4	3.80	1.06	2	0.84
B'5	7.60	1.06	4	0.84

【0040】

(ケース4)

1フィールド期間中において、表示期間と1フィールド期間の比を約2:3とする場合。

長いサブフィールド期間(B'4, B'5)の場合においては、2:3の比率を保ちながら、 V_p の印加される期間を1.4msecを超えない複数のパルスに分割して、全体として、所定の時間 V_p が印加されるようにしている。また、非表示期間は全てのサブフィールドに対し0.57msecに設定してある。

【0041】

すなわち、サブフィールドB'0においては、表示期間を0.16msecとし、サブフィールドB'1においては、表示期間を0.35msecとし、サブフィールドB'2においては、表示期間を0.7msecとし、サブフィールドB'3においては、表示期間を1.4msecとし、サブフィールドB'4においては、2つのパルスに分割し、各表示期間を1.4msecとし、サブフィールドB'5においては、4つのパルスに分割し、各表示期間を1.4msecにしてある。なお、ここでは表示期間の期間、飽和電圧 V_p が印加されるものである。

表5に、ケース4のデジタル信号の内容を示す。

【0042】

【表 5】

	期間長さ (msec)	表示期間 (msec)	パルス数	非 表 示 期 間 (msec)
B'0	0.73	0.16	1	0.57
B'1	0.92	0.35	1	0.57
B'2	1.27	0.70	1	0.57
B'3	1.97	1.40	1	0.57
B'4	3.94	1.40	2	0.57
B'5	7.88	1.40	4	0.57

【0043】

(ケース 5)

1 フィールド期間中において、表示期間と 1 フィールド期間の比を約 5 : 6 とする場合。

長いサブフィールド期間 (B' 4, B' 5) の場合においては、5 : 6 の比率を保ちながら、V_p の印加される期間を 1.76 msec を超えない複数のパルスに分割して、全体として、所定の時間 V_p が印加されるようにしている。また、非表示期間は全てのサブフィールドに対し 0.28 msec に設定してある。

【0044】

すなわちサブフィールド B' 0 においては、表示期間を 0.22 msec とし、サブフィールド B' 1 においては、表示期間を 0.43 msec とし、サブフィールド B' 2 においては、表示期間を 0.88 msec とし、サブフィールド B' 3 においては、表示期間を 1.76 msec とし、サブフィールド B' 4 においては、2つのパルスに分割し、各表示期間を 1.76 msec とし、サブフィールド B' 5 においては、4つのパルスに分割し、各表示期間を 1.76 msec にしてある。なお、ここでは表示期間の期間、飽和電圧 V_p が印加されるものである。

表 6 に、ケース 5 のデジタル信号の内容を示す。

【0045】

【表 6】

	期間長さ (msec)	表示期間 (msec)	パルス数	非表示期間 (msec)
B'0	0.50	0.22	1	0.28
B'1	0.71	0.43	1	0.28
B'2	1.16	0.88	1	0.28
B'3	2.04	1.76	1	0.28
B'4	4.08	1.76	2	0.28
B'5	8.16	1.76	4	0.28

【0046】

なお、表 2 から表 6 において、期間長さはサブフィールド期間を、表示期間は V_p が印加されるパルスの時間幅を、非表示期間は V_{th} の印加される期間をそれぞれ示す。

また、これらのケースで液晶表示素子を駆動した場合の特性については、後述する。

【0047】

以上の説明においては、図 1 に示すように、1 フィールド期間内において各サブフィールドがオンとなる時間の順番は、最初に B' 0 がオンとなり、順次 B' 1、B' 2、B' 3、B' 4、B' 5 がオンとなる。

しかし、このようなサブフィールドからなる駆動方法においては、図 2 に示すように、動画擬似輪郭が強く発生する。

図 2 は、サブフィールドがオンとなる順番と動画擬似輪郭の関係を示す図である。同図において、縦軸は、画素の位置、横軸は時間を表す。なお、ここでは、白－黒間を 64 階調で表示する場合を例にしてある。

【0048】

画像の移動速度が速い場合、時間のずれが空間のずれに変換されるため、動画擬似輪郭が発生し動画質が劣化する。

図 2 の (1) は、上下に隣接する画素上で、上の画素が階調レベル 31、下の画素が階調レベル 32 で表示されるとき、オンとなるサブフィールドの時間順序が B' 0、B' 1、B' 2、B' 3、B' 4、B' 5 となる場合を示す。なお、上述したように、ケース 1 からケース 5 のいずれにおいても、B' 4 を、2 個の

パルスで表示し、B' 5を4個のパルスで表示しているので、同図においても、パルスがないのを斜線部で表示してある。

【0049】

図2の(1)においては、上の画素が階調31であるので、B' 0～B' 4でパルスが印加され(オンとなる)、続くB' 5ではパルスが印加されない(オフとなる)。下の画素は階調32であるので、B' 0～B' 4ではパルスが印加されず、続くB' 5でパルスが印加される。

目80が動いて、視線の追従が図示したS1、S2、S3のように行われると、位置S1、S2、S3における明るさは、人間の網膜上では、それぞれ階調0、階調31、階調63となり、静止した場合と比較し大きく異なる。

【0050】

この動画擬似輪郭を低減するためには、図2の(2)に示すように、各サブフィールドのオンとなる位置を1フィールド中に分散させれば良い。この例では、サブフィールドがオンとなる時間順序をB' 4、B' 5、B' 0、B' 2、B' 5、B' 4、B' 5、B' 1、B' 3、B' 5としてある。この場合には、視線の追従位置S1、S2、S3における明るさは、人間の網膜上では、それぞれ階調36、階調31、階調32となり、分散させない場合に比較し、かなり改善される。動画像の表示においては、各サブフィールドは1フィールド内において分散配置され、その分散配置されたサブフィールドの時間順番により、各表示がオンとなる必要がある。

【0051】

次に、図3により、本発明に係る液晶表示素子における各画素の構成につき説明する。

同図に示すように、液晶表示素子の各画素30は、サンプルホールド回路40、画素スイッチ50、画素電極37と対向電極(CE)38との間に保持された液晶(LC)36より構成される。

【0052】

サンプルホールド回路40は、SRAMからなり、6個のトランジスタT11、T12、T21、T22、T31、T32から構成される。トランジスタT1

1, T12の各ゲートGには、選択線31が接続している。トランジスタT11のドレインDにはデータ線32が接続している。トランジスタT12のドレインDには、データ線32のデータの反転データが供給されるデータ線33が接続している。

【0053】

画素スイッチ50は、2個のトランジスタT41、T42から構成されている。トランジスタT41のゲートGはトランジスタT11のソースS（図中、B点）に、ドレインDは第2のスイッチ信号線35に、ソースSは画素電極37にそれぞれ接続している。トランジスタT42のゲートGはトランジスタT12のソースS（図中、A点）に、ドレインDは第1のスイッチ信号線34に、ソースSは画素電極37にそれぞれ接続している。

【0054】

次に、液晶表示素子の動作を説明する。

図4は、本発明に係る液晶表示素子における画素に印加される信号のタイミングチャート図である。

同図に示すように、B'0が時間t0で開始し、時間t1で1（B'0で画像信号ありを示す）となる（時間t4で0になる）画像信号データDATAがデータ線33に供給され、時間t1で0となる（時間t4で1となる）画像信号データDATAバーがデータ線32に供給される。

【0055】

次に、時間t2で1となる（時間t3で0となる）ゲートパルスGATEが選択線31に供給されて、DATA、DATAバーはサンプルホールド回路（SRAM）に一時的に保持される。すなわち、A点のデータは1となり、B点のデータは0となる。

【0056】

画素スイッチ50は、画素電極37に電圧を供給し、液晶36を駆動する。

サンプルホールド期間（時間t1からt5まで）においては、第1のスイッチ信号線34に印加される信号VA及び第2のスイッチ信号線35に印加される信号VBは共にVthであり、画素電極37にはVthがかかり、対向電極（ガラ

ス透明電極CE) 38には0Vが加わるので、液晶(LC) 36には、 V_{th} が印加され、表示状態は黒を保ったままである。

【0057】

サンプルホールド期間(時間 t_1 から t_5 まで)においては、全ての画素に1サブフィールドのデータがサンプルホールド回路(SRAM)に一時的に保持される。このデータは液晶駆動時間が開始するまで保持され、休止時間を含み、非表示期間となる。この休止時間を設定することにより、表示期間の1フィールド期間に対する比率が1:6から5:6に対応して非表示期間を1.38msecから0.28msecに設定する。これら上述したケース1からケース5にそれぞれ対応する。

【0058】

液晶駆動期間(時間 t_5 から時間 t_6 まで)は、液晶36をデジタル信号で駆動する期間であり、信号VAは V_p となり、信号VBには V_{th} が加わる。この V_p 、 V_{th} は外部回路(図示せず)から与えられ、その電圧値はそれぞれ任意の値に設定できる。また、その時間幅は、1フィールドを構成する $B'_0 \sim B'_5$ で指定される表示期間であり任意の値に設定できる。

例えば、表示期間の1フィールド期間に対するの比率が1:3の場合(上述のケース2)、表示期間は B'_0 で0.08msec、 B'_1 で0.16msec、 B'_2 で0.33msec、 B'_3 で0.68msec、2個の B'_4 で0.7msec、4個の B'_5 で0.7msecと設定してある。

また、液晶駆動は全画素同時に駆動する。

【0059】

次に、液晶駆動が終了した t_6 の直後に B'_1 が開始する。 t_7 において、データ線32、データ線33に、それぞれ画像信号DATA、DATAバーが供給され、 B'_0 と同様に B'_1 の処理が行われる。同様に、 $B'_2 \sim B'_5$ が行われ1フィールドが終了する。

サンプルホールド回路で保持されたDATAが0の場合は、液晶には V_{th} が加わり、表示状態は黒である。DATAが1の場合は、液晶に V_p が加わり、表示状態は白となる。

【0060】

このようなサブフィールドB' 0～B' 5から構成されるデジタル信号により液晶を駆動した場合の光出力を説明する。

図5は、液晶表示素子に加えられる入力信号と出力光の強度との関係を示すグラフ図である。

同図には、表示期間の1フィールド期間に対する比率が1：3の場合（上述のケース2：表3）について、B' 5のデジタル信号を液晶に印加した場合の出力光を示してある。

【0061】

パルス信号qは、幅が0.7 msecで電圧が($V_p - V_{th}$)のパルス信号を示し、パルス信号の間隔は、1.12 msecである。このパルス信号qが液晶に印加されたときの液晶からの出力光の時間変化が曲線sである。出力光の立ち上がり速度は速く、立下り速度は遅いので、このようにパルス幅を小さくしても、液晶からは十分な出力光を得ることができる。

【0062】


なお、上記の実施例では、B' 4、B' 5をそれぞれ2個、4個の等しいパルス幅を有するパルスに分割したが、上述した表示期間と1フィールド期間の比率が保たれておれば、分割数は任意の数でよく、分割したパルスは異なるパルス幅でよい。また、上記の実施例では6ビット入力としたが、説明を簡略にするために選んだ1例に過ぎず、実際には8ビット、10ビット、12ビット等いかなる入力ビット数にも対応できる。

【0063】

次に、本実施例に係る垂直配向型液晶表示素子を作製して、前述の実施例に係る駆動方法によりディスクリネーションを評価した。

この液晶表示素子の作製には、イオンビームアシスト蒸着装置を用いており、図6により、まずそのイオンビームアシスト蒸着装置につき説明する。

同図に示すように、イオンビームアシスト蒸着装置60を構成する真空槽66は、図示しない排気系に接続しており、所定の真空度に内部を保持することができる。真空槽66の内部には、その底面に、蒸発源65を加熱して蒸発させるた



めのEBガン64と、その上方には、蒸発物の通過を制御するためのシャッタ62、基板61を保持するための図示しない基板ホルダとを配置してある。基板61面の法線と基板の中心とEBガン64の中心を結ぶ直線との成す角度を $\theta 1$ とすると、この角度を適宜変えられるようになっている。

【0064】

次に、真空槽内の基板の配置につき、図7により説明する。

図7は、配向膜の成膜時における基板の置き方を説明する図である。

すなわち、液晶の倒れる方向（配向方向76）が正画面素の辺77に対して、斜め 45° となるよう、基板61を面内に 45° 回転した方向になるように基板ホルダ68に設置する。基板面の法線73と、EBガンから放射される蒸発流69と、配向方向76とは同一平面上になるようにされている。

【0065】

ここで、図6に示すように、真空槽66の底面には、イオンガン63が取り付けられており、イオンガン63は、供給されるガスをイオン化して、基板61に対し、傾斜角 θa で放射できるようになっている。蒸発物65が基板に蒸着されときの膜厚は、膜厚モニター67で監視できるようになっている。

【0066】

次に、上述の装置を用いた垂直配向型液晶表示素子の作製について説明する。

シリコン基板上に、上述したサンプルホールド回路40、画素スイッチ50及び所定の画素電極を有するデジタル用アクティブマトリクス回路を形成して、デジタル駆動用アクティブマトリクス基板を作製する。画素電極の液晶と接する側のサイズは、 $14\mu\text{m} \times 14\mu\text{m}$ であり、その間隔は $1\mu\text{m}$ である。すなわち、 $15\mu\text{m}$ ピッチで形成してある。

一方、一面上に透明電極を形成した透明ガラス基板を用意する。

【0067】

次に、イオンビームアシスト蒸着装置60を用いて、 SiO_2 からなる配向膜をシリコン基板の画素電極上及びガラス基板の透明電極上に形成する。

蒸着時には、各基板61は蒸発源65に対し傾斜させる。基板61の中心と蒸発源65を結んだ直線に対し、基板61の法線を 63° 傾斜させてある（ $\theta 1 =$

63度)。蒸発源65はSiO₂からなる。SiO₂の蒸着速度は8オングストローム／secである。SiO₂を蒸発させ、イオンガン63を800V-80mAで動作させ、酸素ガスをイオン化して、この酸素イオンを照射しながら、SiO₂膜を成膜する。得られるSiO₂膜の膜厚を750オングストロームとした。

【0068】

配向膜を形成したデジタル駆動用アクティブマトリクス基板と透明基板を、互いに配向膜を対向させて、3.0μmのスペーサを介して張り合わせてセルを製作する。そしてこのセルに負の誘電異方性を有し、粘度が15cPであるネマチック液晶を注入して本実施例に用いられる垂直配向型液晶表示素子を得る。ネマチック液晶の粘度は、好ましくは1~100cP、より好ましくは10~50cPの範囲である。

【0069】

本実施例に係る垂直配向型液晶表示素子に対して、上述の図1で説明した、ケース1からケース5までのデジタル入力信号を印加して、その電圧実効値V_dとディスクリネーション侵入深さとの関係を測定した。

測定結果を図8に示す。

図8は、液晶表示素子に加えられるPWM入力信号実効値と出力光の強度及びディスクリネーション深さとの関係を示すグラフ図である。

【0070】

前述したアナログ駆動のように、1フィールド期間中、液晶につねにV_pを加えた場合の液晶に加わる電圧実効値をV_dとすると、上述の表2において、B'₀~B'₅で指定される10個のパルス幅の合計は2.84msecであり、電圧実効値はV_d/6となる。

同図には、本実施例に用いられる液晶表示素子において、3個並んだ画素に対して、両側の画素には閾値電圧V_{th}を印加して黒表示状態とし、中央の画素には白表示状態に近くなる電圧を印加した場合に、中央の画素に発生するディスクリネーション侵入深さを示してある。

【0071】

曲線mは、図5で示したパルス信号qについて、入力信号電圧(V_p-V_{th}

)を変えずに表示期間(パルス幅)を変えて、液晶に印加した場合の入力信号電圧実効値と出力光の関係を示すものである。

直線 n は、入力信号電圧実効値に対するディスクリネーション侵入深さを示してある。上述のケース 1 からケース 5 についてプロットしてある。

【0072】

これより、液晶駆動期間と 1 フィールド期間との比率(表示期間と 1 フィールド期間の比)が $1/6$ から $5/6$ の範囲において、すなわち入力信号電圧実効値が $V_d/6$ から $5V_d/6$ の範囲において、従来の 1 フィールド期間中電圧を継続的に加えて入力電圧実効値が V_d である場合に比較して、ディスクリネーション侵入深さは小さくなることがわかる。

出力光の強度は、印加電圧を V_p とし、入力電圧実効値が $V_d/2$ から $5V_d/6$ の範囲においては、 V_d におけると同程度の強度が得られるが、入力電圧実効値が $V_d/3$ では V_d の約 80%、入力電圧実効値が $V_d/6$ では V_d の約 35%と出力光の強度は低下する。実用的には、入力電圧実効値を小さくしたときに、 V_d における出力光の強度の 70%程度得られることが必要である。

【0073】

これを液晶表示装置で評価した結果、ディスクリネーションなし、コントラスト比は 1500:1 であり、液晶分子 72 が基板面の法線 73 となすプレチルト角 θ_{LC} は 2.5 度であった。

なおプレチルト角は、シリコン基板の代わりに、透明導電膜付きのガラス基板を用いた測定用セルを同時に作製し、クリスタルローテーション法により測定した値である。

このように本実施例の垂直配向型液晶表示素子の駆動方法によれば、ディスクリネーション侵入深さを小さくし、画像品質を向上させることができる。

【0074】

次に、液晶駆動電圧を大きくした場合について説明する。

上述したように、図 8 において、曲線 m 及び直線 n に示すように、入力信号実効値が小さくなり $V_d/3$ では、ディスクリネーション侵入深さは小さくなるが、出力光の強度も同時に小さくなる。しかしながら、液晶駆動時に加える電圧を

大きくし、後述する液晶の粘度を大きくすることにより入力信号実効値が $V_d/3$ 、 $V_d/6$ においても十分な出力光の強度を得ることができる。

【0075】

図5に戻り、液晶の駆動信号（入力信号）を大きくした場合を説明する。

同図に示すように、パルス信号 p はパルス信号 q と実効電圧値が等しいパルスである。パルス信号 p のパルス幅は 0.54 msec であり、間隔が 1.28 msec である。印加される電圧は、 $(V_{p'} - V_{th}) = 1.3 (V_p - V_{th})$ である。このパルス信号 p が液晶に印加された場合に、液晶から出力される出力光の強度の時間変化を示すのが曲線 r である。曲線 s より高い出力光が得られていることがわかる。

【0076】

図8において、曲線 l は、図5で示したパルス信号 p について、入力信号電圧 $(1.3 (V_p - V_{th}))$ を変えずにパルス幅を変えて入力信号電圧実効値を変えて液晶に印加した場合における、入力信号電圧実効値と出力光の強度の関係を示すものである。入力信号電圧実効値が $V_d/3$ においても V_d と同程度の出力光の強度が得られる。

この場合、ディスクリネーション侵入深さは、直線 n に示す通りであり、 V_d における値の約 $1/3$ に小さくなる。

【0077】

次に、液晶駆動電圧を大きくした他の場合を説明する。

図9は、表示期間における液晶駆動電圧を示す図である。

同図に示すように、パルス信号 p は、図5に示すパルス信号 p である。

パルス信号 p_1 は、パルス信号 p と同じ表示期間を有するが、表示期間の前半では、液晶駆動電圧（入力信号）は、 $(V_{p''} - V_{th}) = 1.6 (V_p - V_{th})$ であり、表示期間の後半では、液晶駆動電圧（入力信号）は、 $(V_p - V_{th})$ である。パルス信号 p とパルス信号 p_1 は同じ電圧実効値を有する。パルス信号 p_1 においては、入力信号電圧実効値と、出力光の強度及びディスクリネーション侵入深さとの関係は、図8に示すパルス信号 p の場合（曲線 l と直線 n ）とほぼ同じである。

【0078】

以上、本実施例に係る液晶表示素子において、粘度が15 cPの液晶を用いた場合を説明したが、さらに、粘度が10 cP、20 cP、30 cP、40 cP及び50 cPの液晶を用いた液晶表示素子を作製し、入力信号電圧実効値が $V_d/6$ における出力光の強度を、駆動電圧を変えて評価した。

図10にその結果を示す。

図10は、液晶の粘度を変化させたときの液晶駆動電圧と出力光強度との関係を示すグラフ図である。

【0079】

同図において、駆動電圧比とは、表示期間における液晶駆動電圧の液晶駆動電圧($V_p - V_{th}$)に対する比率であり、同時に表示期間(時間)幅は駆動電圧比に反比例するように設定し、入力信号電圧実効値は変化しないようにしてある。

同図に示すように、粘度が40 cPである液晶を駆動電圧比が約1.5で駆動すると、出力光強度が極大を示す。

【0080】

さらに、粘度が40 cPの液晶に、駆動電圧比が約1.5の入力信号を、表示期間(時間)幅を変えて、すなわち入力信号電圧実効値を変えて、出力光の強度とディスクリネーション侵入深さの関係を評価した。その結果を、図8の曲線kに示す。

図8の曲線kに示すように、入力信号電圧実効値が $V_d/6$ においても十分な出力光の強度(飽和値の約80%)が得られ、ディスクリネーション侵入深さを入力信号電圧実効値が V_d の場合に比較し、その $1/6$ と小さくできる。

【0081】

粘度が40 cPの液晶において、液晶駆動電圧を大きくした他の場合を説明する。上述した駆動電圧比を1.5とするのに対し、表示期間の前半では、液晶の駆動電圧として、 $(V_p'' - V_{th}) = 2(V_p - V_{th})$ を加え、表示期間の後半では、液晶の駆動電圧として、 $(V_p - V_{th})$ を加える。この場合の入力信号電圧実効値と、出力光の強度及びディスクリネーション侵入深さの関係は、

上記の駆動電圧比が1.5とほぼ同じである。

【0082】

このように本実施例の垂直配向型液晶表示素子の駆動方法によれば、入力信号電圧実効値が $V_d/6$ から $5V_d/6$ の範囲でディスクリネーション侵入深さを小さくして、しかも大きな出力光強度が得られ、画像品質を向上させることができる。

【0083】

次に、画素ピッチを $5 \sim 15 \mu m$ の範囲で変化させ（画素ピッチ： $15 \mu m$ 、 $10 \mu m$ 、 $7.8 \mu m$ 、 $5 \mu m$ の4種類）、 θ_1 を変化させてプレチルト角の異なる液晶表示素子を作製し、それぞれ本実施例の垂直配向型液晶表示素子の駆動方法を用いて、最適条件（表示期間と1フィールドの時間の比が1:6のとき）で駆動した時のディスクリネーション侵入深さ比率（画素サイズに対する比）を調べた。なお、液晶の粘度は $40 cP$ である。画素ピッチ $15 \mu m$ のときの画素間隔は $1 \mu m$ であるが、画素ピッチと画素間隔は比例しており、画素ピッチ $5 \mu m$ のときの画素間隔は $0.33 \mu m$ である。画素ピッチ $5 \mu m$ については、シュミレーションで求めた。

図11に、その結果を示す。

【0084】

図11は、画素ピッチ及びプレチルト角がディスクリネーション侵入深さ比率に与える関係を示すグラフ図である。

同図から分かるように、画素ピッチが小さくなると、同じプレチルト角ではディスクリネーション侵入深さ比率が大きくなる。また、同じ画素ピッチでは、プレチルト角が小さいほど、ディスクリネーション侵入深さ比率が大きくなる。許容できるディスクリネーション侵入深さ比率を $1/3$ 画素幅とすると、プレチルト角が1度でも、画素ピッチが $10 \mu m$ 程度まで、使用可能であることがわかる。

【0085】

液晶のプレチルト角が2度から10度の範囲にあり、画素ピッチが $5 \mu m$ から $15 \mu m$ の範囲にある液晶表示素子においては、ディスクリネーション侵入深さ

比率を $1/3$ 画素幅より小さくすることができ、良好な画像品質を得ることができる。

【0086】

なお、コントラスト比に関しては、プレチルト角によって略決まる。プレチルト角を小さくするとコントラスト比は向上し、プレチルト角を大きくするとコントラスト比は小さくなる。例えば、プレチルト角が 10 度であると、コントラスト比は $150:1$ 程度になる。しかし、図 11 に示すように、本実施例の駆動方法により液晶を駆動することにより、大幅にディスクリネーション侵入深さ比率を低減できるため、コントラスト比を優先しない装置においては、さらに小画素ピッチにも対応できることが分かる。一方、液晶表示素子を組み込んだ表示システムにおいては、そのコントラスト比は、システムの光学系で制約されるので、液晶のプレチルト角を 1 度よりさらに小さくして、液晶表示素子のコントラスト比を向上しても、ほとんど効果がない。むしろ、プレチルト角を 1 度以下にすると、出力光の立ち上がり応答速度が悪くなるので好ましくない。

【0087】

<比較例>

上述の実施例で説明した、デジタル駆動用アクティブマトリクス基板を用いて、画素ピッチを $15\ \mu\text{m}$ （画素サイズは $14\ \mu\text{m} \times 14\ \mu\text{m}$ である）とし、配向膜を $\theta_1 = 63$ 度で作製し、粘度 $15\ \text{cP}$ の液晶を用いた液晶表示素子において、デジタル駆動用アクティブマトリクス基板に代えて、従来のアナログ駆動用アクティブマトリクス基板を用いて、実施例に用いる液晶表示素子と同様にして、比較例に用いる液晶表示素子を得た。

【0088】

この比較例に用いる液晶表示素子において、3 個並んだ画素に対して、アナログ入力信号を印加した。両側の画素には閾値電圧 V_{th} を印加して黒表示状態とし、中央の画素には白表示状態に近くなる電圧を印加した。

液晶表示装置で評価した結果、ディスクリネーション侵入深さが大で許容範囲外であり、コントラスト比は $1500:1$ 、プレチルト角は 2.5 度であった。

また、 θ_1 を 67° とした他の比較例に用いる液晶表示素子を作製して同様に

評価したが、プレチルト角が6度で、ディスクリネーション侵入深さは許容レベルになったが、コントラスト比は800:1に低下し、高コントラスト比用の装置には不適なものであった。

【0089】

以上述べたように、本実施例の垂直配向型液晶表示素子の駆動方法により、垂直配向型液晶表示素子において、ディスクリネーションの発生を抑制することができ、プレチルト角が2度から5度の範囲である液晶を用いることにより、高コントラスト比を有する液晶表示素子とすることができる。

【0090】

また、上述の液晶表示素子の作製において、イオンビームアシスト蒸着法により SiO_2 からなる配向膜を形成したが、これに限らず、配向膜の形成には、蒸着法、スパッター法、イオンビームスパッタ法、CVD法（化学蒸気堆積）、イオンプレーティング法、エッチング法などを使用する方法もある。

また、ポリイミド膜のラビング法や光配向法を使用する方法もある。しかし、1000:1以上の高コントラスト比とするには、ラビング法は、ラビングによって発生するスジ状のムラが見られるようになる。垂直配向型液晶表示素子の場合、ノーマリーブラック（駆動しないときが黒表示）が最も適した駆動方法であるが、黒から少し浮いたところでムラが非常に目立つようになるためである。特にプロジェクタなどの拡大投影では問題である。また、ポリイミドなどの有機膜では高輝度化における光劣化特性が SiO_2 などの無機膜に比較すると劣る。1000:1以上の高コントラスト比、高輝度システムにおいては、 SiO_2 からなる配向膜を使用することが最も好ましい。

【0091】

【発明の効果】

以上説明したように、本発明の液晶表示素子の駆動方法は、請求項1及び2記載によれば、各サブフィールドにおける表示期間の合計と1フィールド期間の比率を、1:6以上5:6以下に設定し、前記表示期間が所定の期間以上となる場合には、前記表示期間を分割して、複数の短い表示期間より構成し、隣り合う前記短い表示期間の間に、前記所定の長さを有する非表示期間を挿入して、液晶を

駆動することにより、隣接画素の液晶によるディスクリネーションの影響を抑制できて、ディスクリネーションを増加させることなく、高コントラスト、高解像度の高品質な画像表示を可能とする等の効果がある。

また、請求項3記載によれば、表示期間に液晶に印加する電圧を、液晶の飽和電圧を超える電圧としたことにより、ディスクリネーションを抑制して十分な出力光を得ることができる。

【図面の簡単な説明】

【図1】

本発明の垂直配向型液晶表示素子の駆動方法の実施例において、画素に印加するデジタル入力（画像）信号の波形を示す図である。

【図2】

サブフィールドがオンとなる順番と動画擬似輪郭の関係を示す図である。

【図3】

本発明に係る液晶表示素子における各画素の構成を示すブロック図である。

【図4】

本発明に係る液晶表示素子における画素に印加される信号のタイミングチャート図である。

【図5】

液晶表示素子に加えられる入力信号と出力光の強度との関係を示すグラフ図である。

【図6】

イオンビームアシスト蒸着装置を示す概略構成図である。

【図7】

配向膜の成膜時における基板の置き方を説明する図である。

【図8】

液晶表示素子に加えられるPWM入力信号実効値と出力光の強度及びディスクリネーション深さとの関係を示すグラフ図である。

【図9】

表示期間における液晶駆動電圧を示す図である。

【図 10】

液晶の粘度を変化させたときの液晶駆動電圧と出力光強度との関係を示すグラフ図である。

【図 11】

画素ピッチ及びプレチルト角がディスクリネーション侵入深さ比率に与える関係を示すグラフ図である。

【図 12】

一般的な反射型液晶表示素子を用いた液晶表示装置の基本構成図である。

【図 13】

従来例の液晶表示素子における画素のブロック図である。

【図 14】

従来例の液晶表示素子に加えられるアナログ入力（画像）信号の波形を示す図である。

【図 15】

液晶に印加される入力電圧と出力光の強度との関係を示すグラフ図である。

【図 16】

隣接する画素に交互に白、黒を表示した状態を示す図である。

【図 17】

隣接する画素に交互に白、黒を表示してディスクリネーションが発生した状態を示す図である。

【図 18】

隣接する画素におけるディスクリネーションを示すグラフ図である。

【図 19】

垂直配向型液晶におけるプレチルト角を示す図である。

【図 20】

液晶表示素子に加えられる従来のデジタル入力（画像）信号の波形を示す図である。

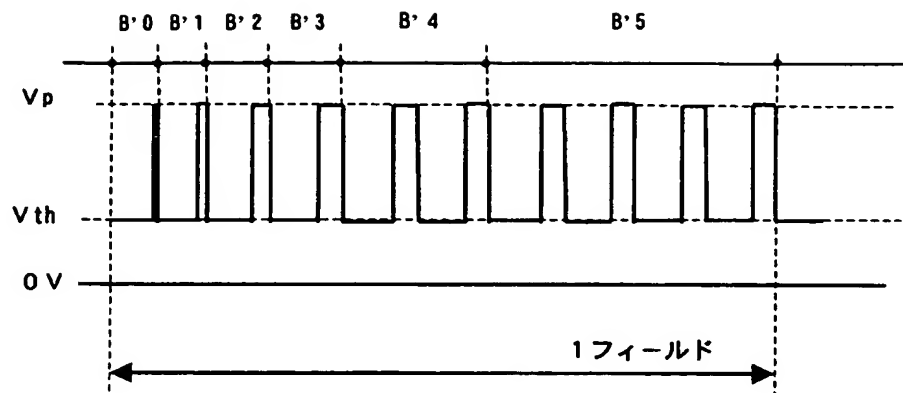
【符号の説明】

1…駆動トランジスタ、2…画素電極、3…液晶、4…対向電極、5…液晶表

示素子、6…偏光ビームスプリッタ (PBS)、7…入射光、8…S成分、9…P成分、10…液晶表示装置、11…出射光、12…投射レンズ、13…スクリーン、20…画素、21…データ線、22…選択線、23…スイッチングトランジスタ、24…保持容量、25…液晶、26…対向電極、27…画素電極、30…画素、31…選択線、32…データ線、33…データ線、34…第1のスイッチ信号線、35…第2のスイッチ信号線、36…液晶、38…対向電極、40…サンプルホールド回路、50…画素スイッチ、60…イオンビームアシスト蒸着装置、61…基板、62…シャッタ、63…イオンガン、64…EBガン、65…蒸発源、66…真空槽、67…膜厚モニタ、68…基板ホルダ、69…蒸発流、72…液晶分子、73…基板面の法線、74…液晶分子の長軸、75…垂直配向膜、76…配向方向、77…正画素の辺 (方向)、80…目、 θ LC…プレチルト角、G11, G12, G13, G21, G22, G23, G31, G32, G33…画素、T11, T12, T21, T22, T31, T32, T41, T42…トランジスタ。

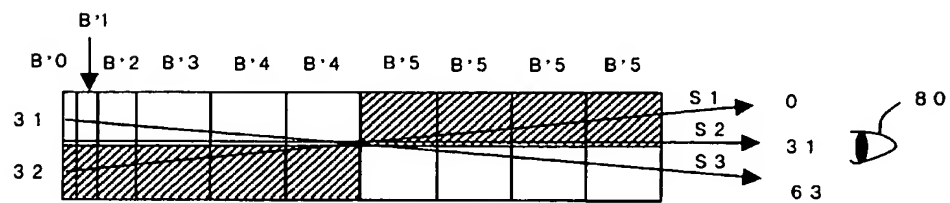
【書類名】 図面

【図 1】

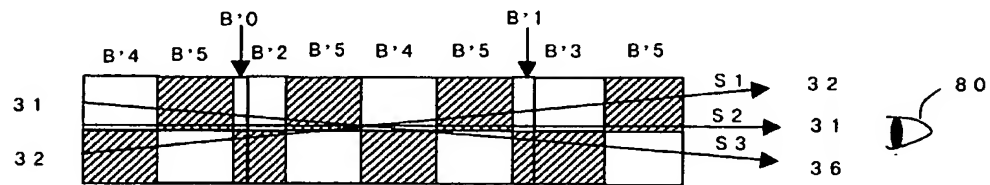


【図 2】

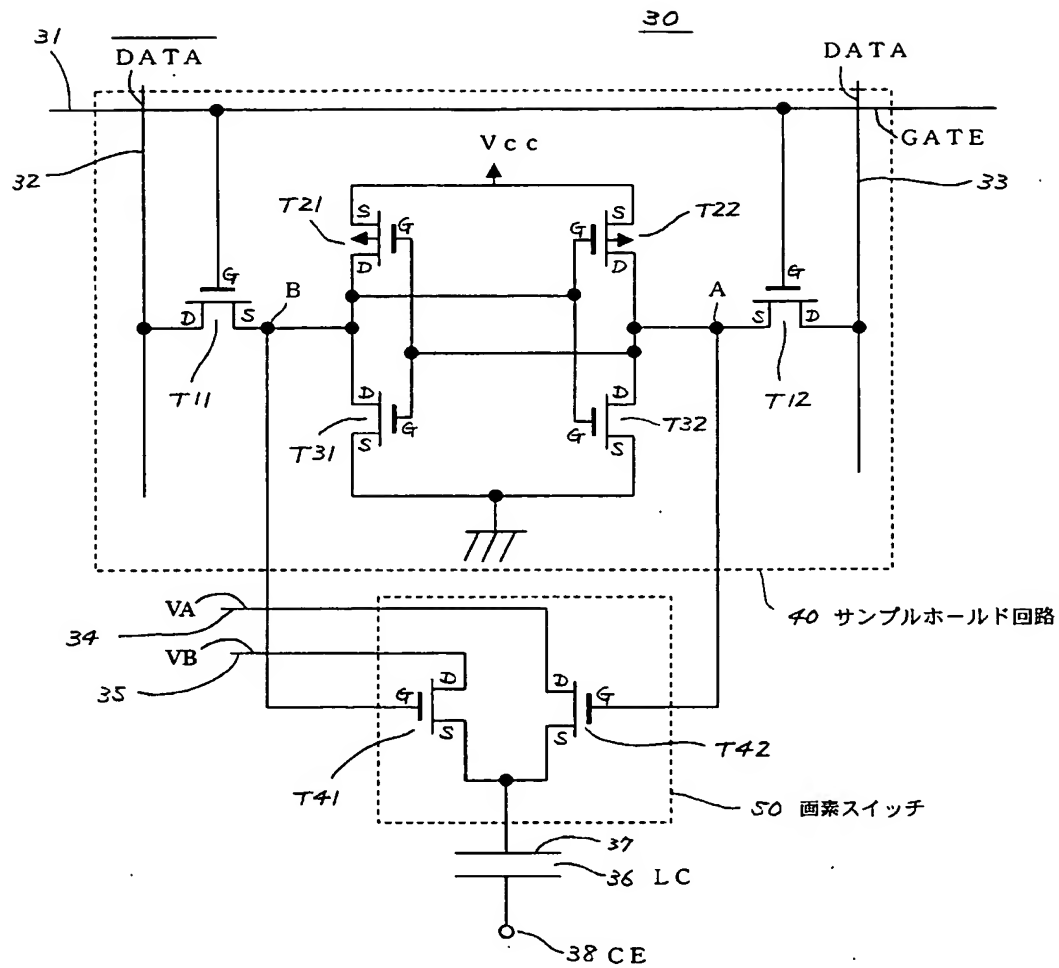
(1)



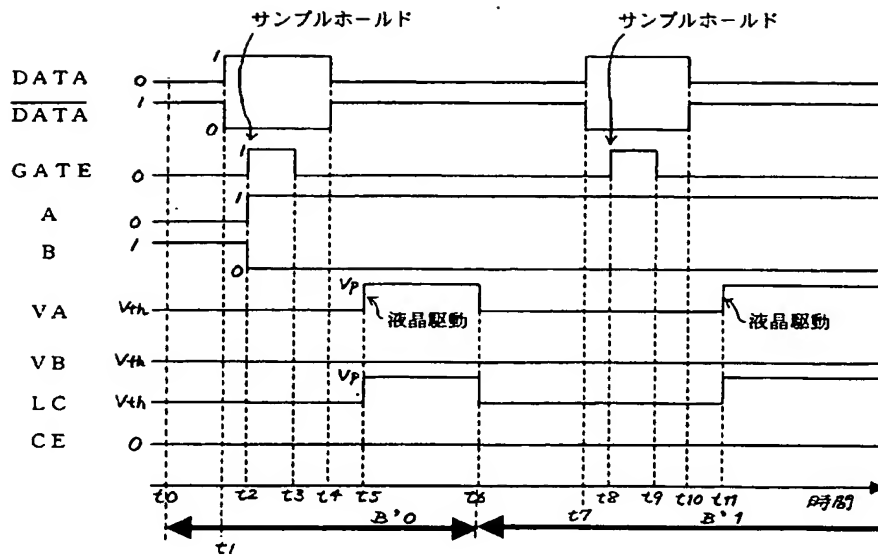
(2)



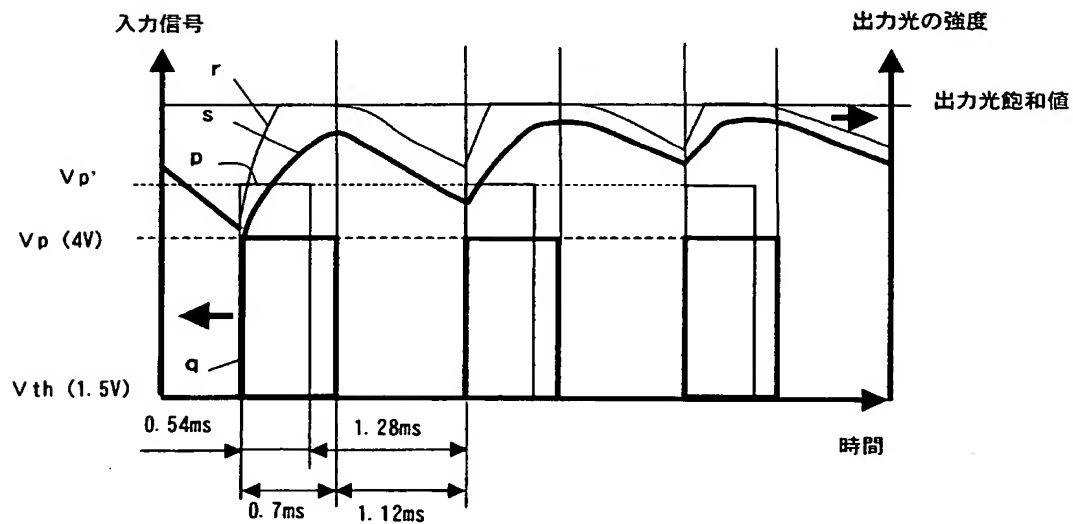
【図 3】



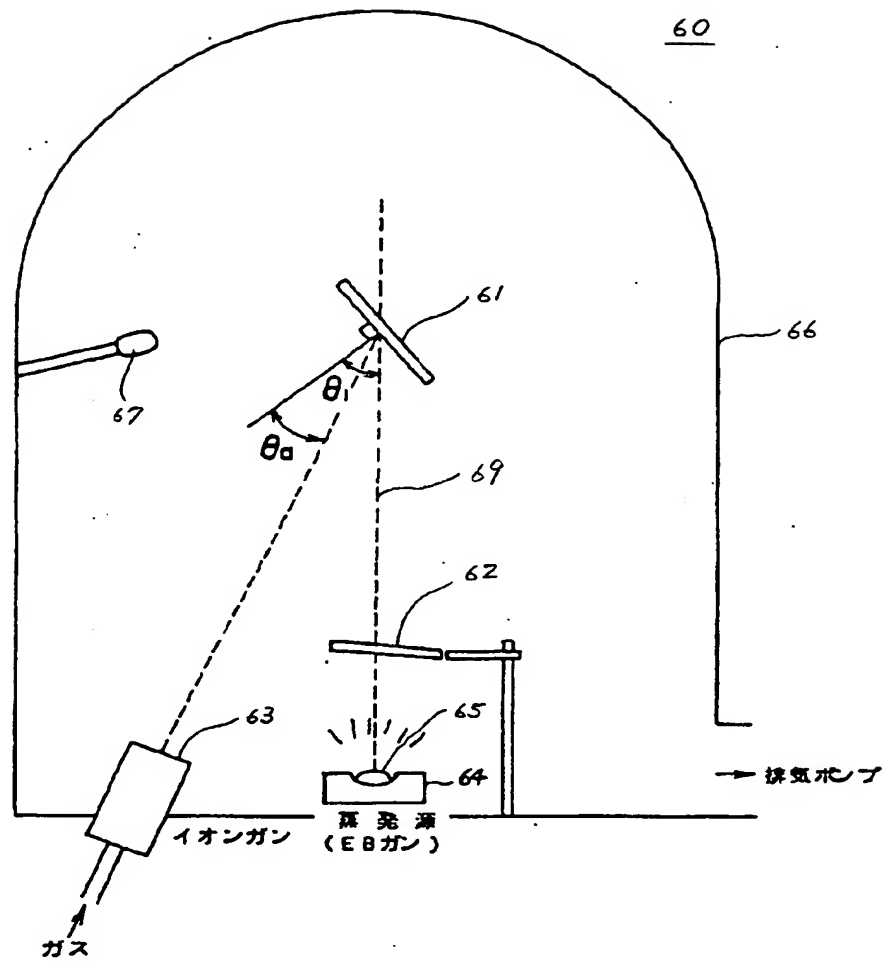
【図 4】



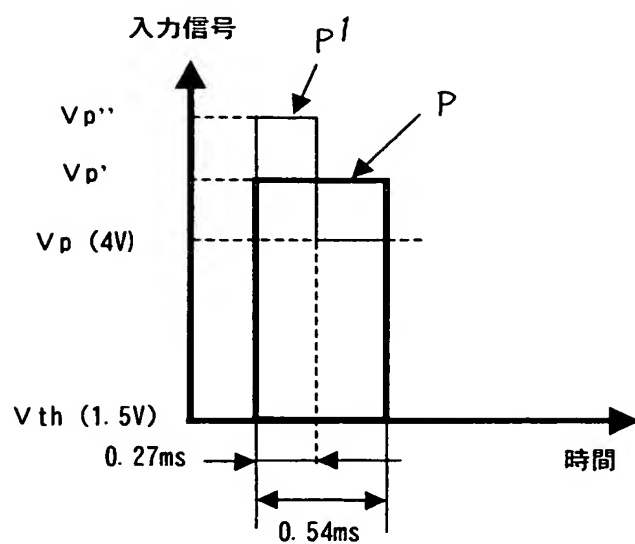
【図 5】



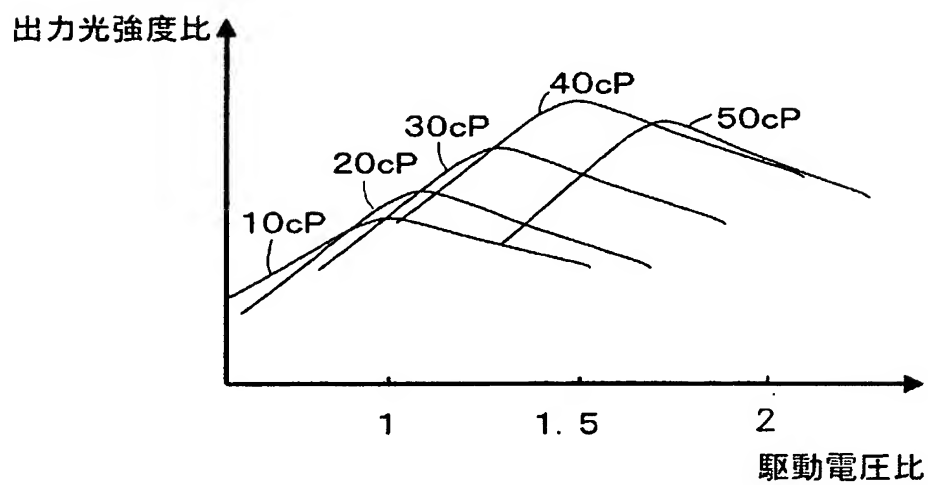
【図 6】



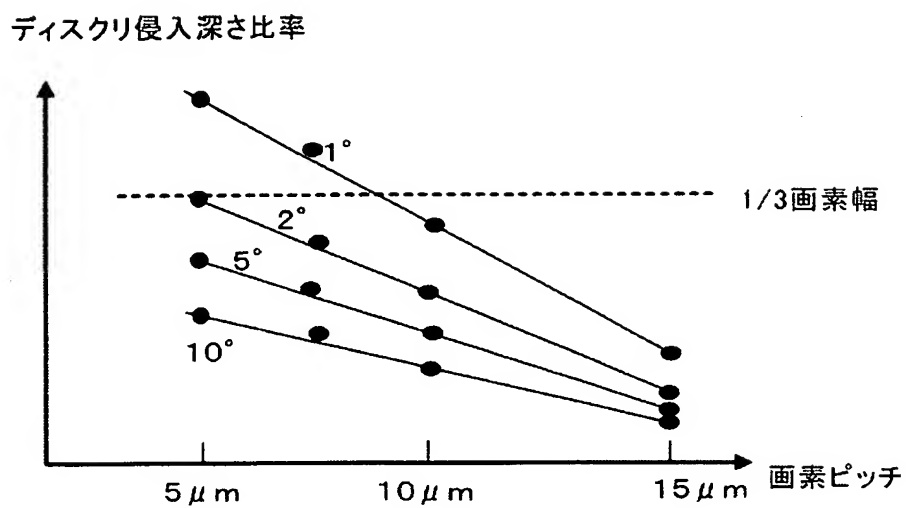
【図 9】



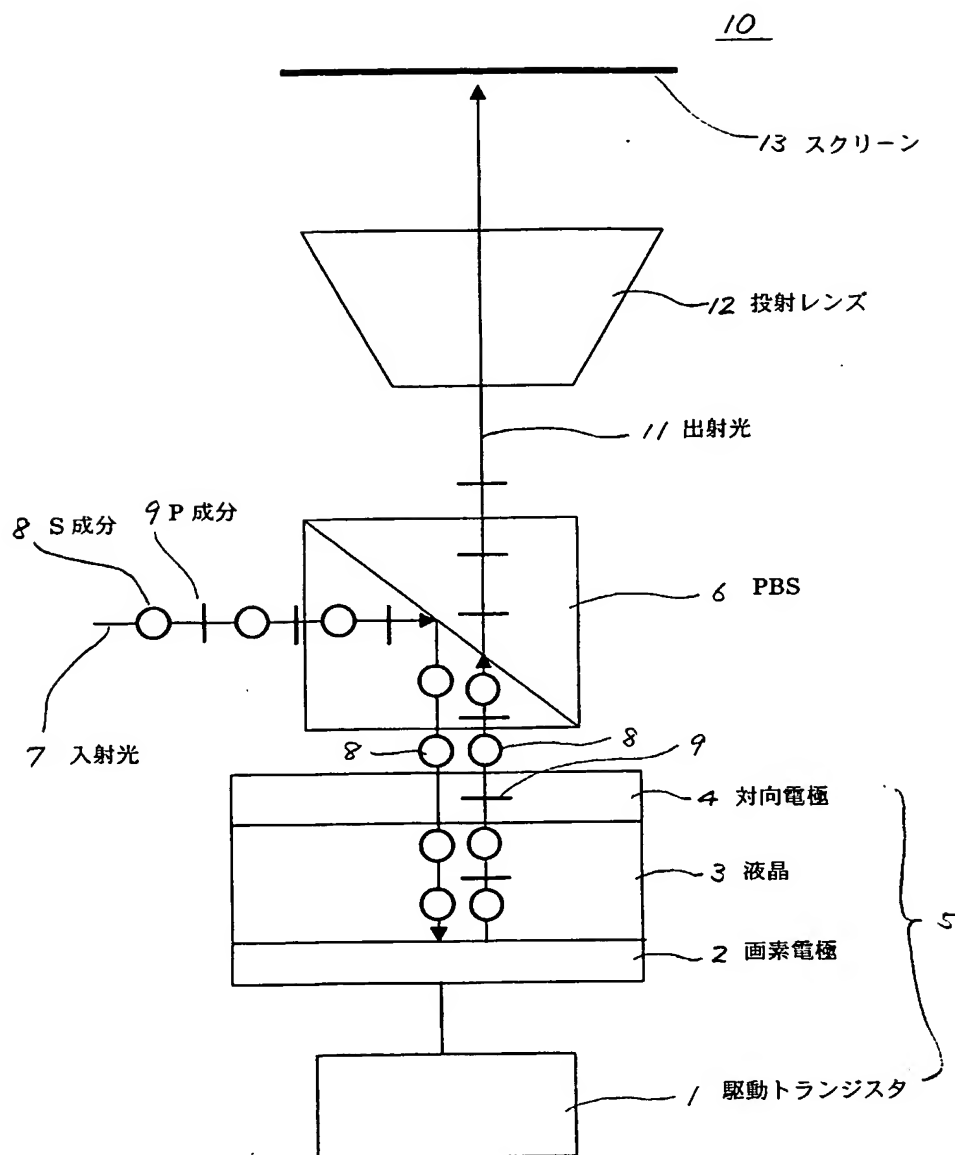
【図 10】



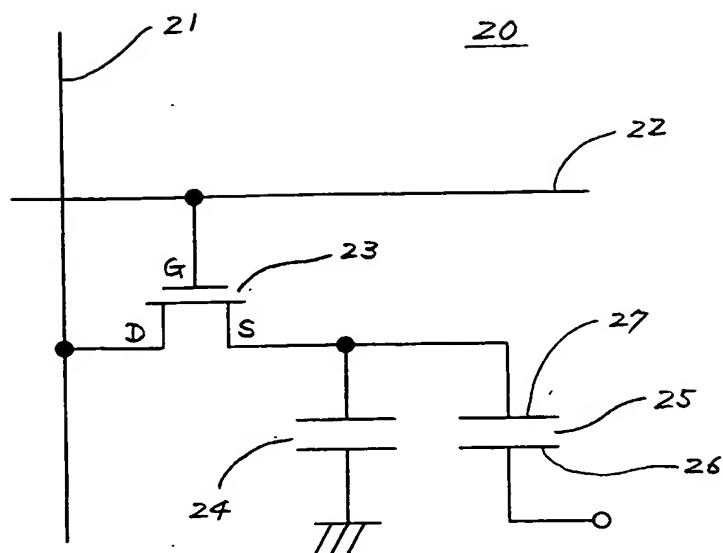
【図 11】



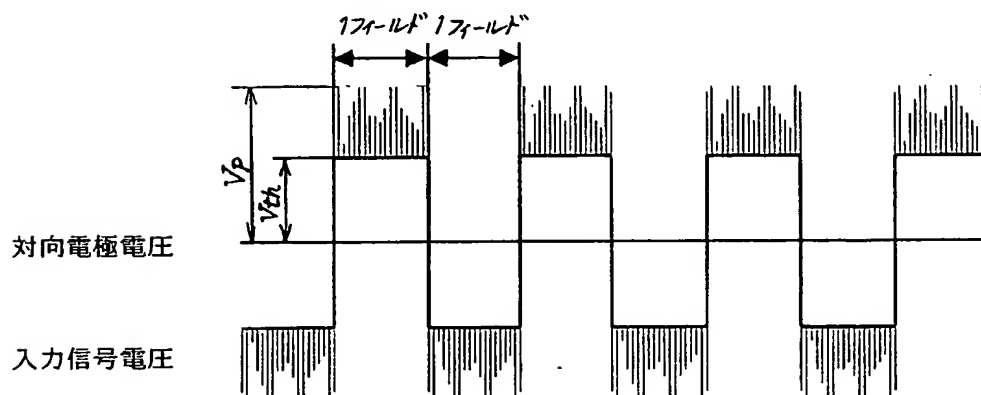
【図 12】



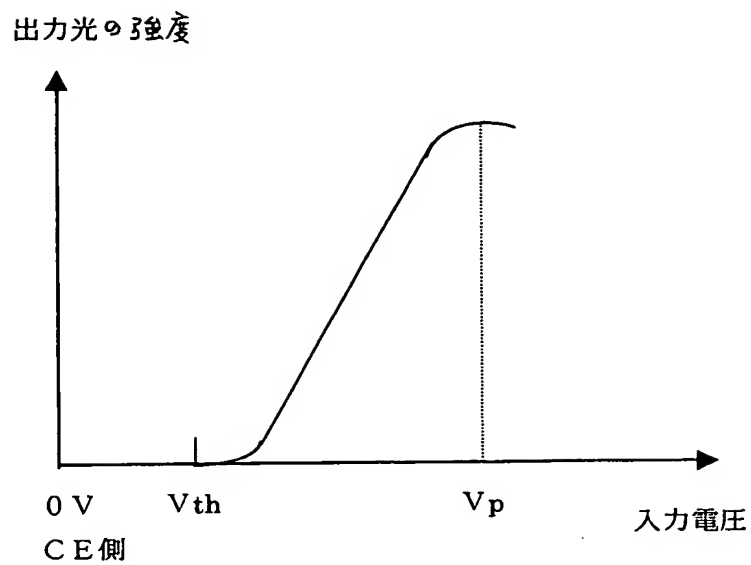
【図 13】



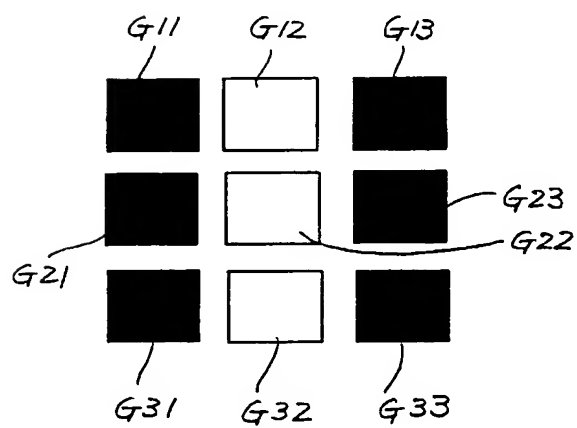
【図 14】



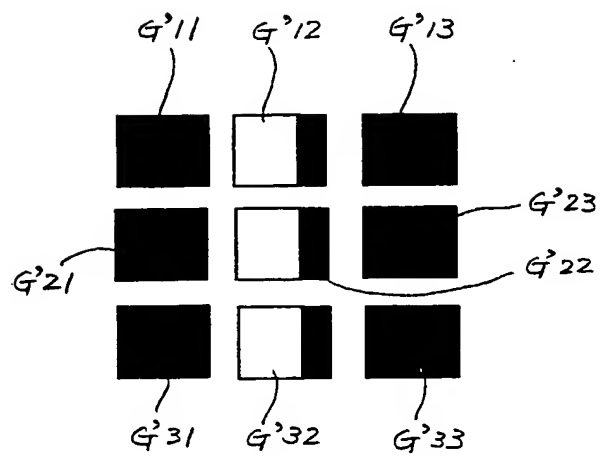
【図 15】



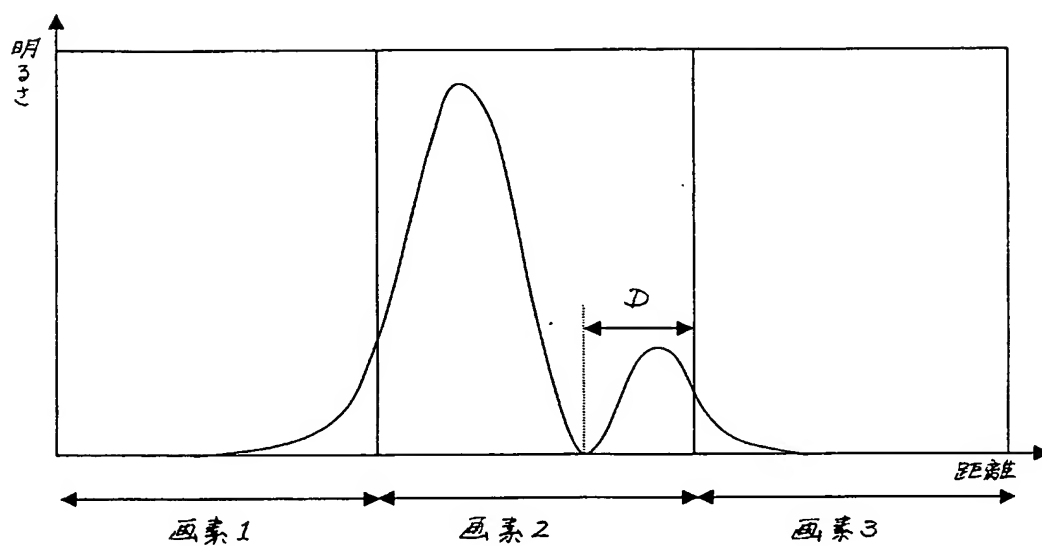
【図 16】



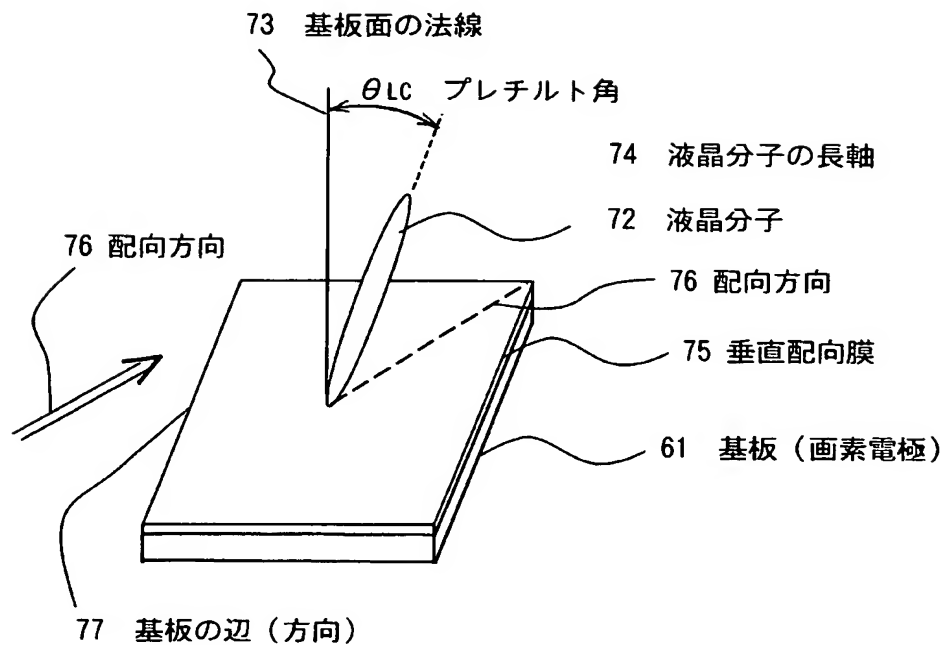
【図 17】



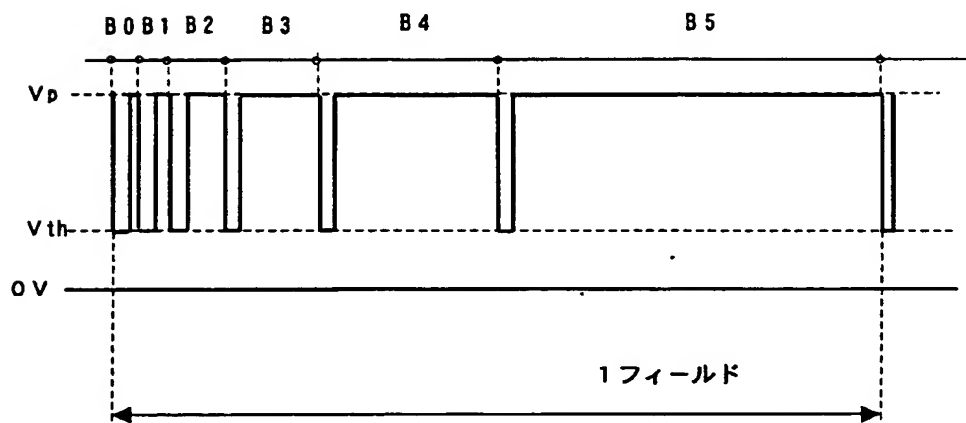
【図 18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 ディスクリネーションを抑制して、高コントラスト、高解像度の画像表示を可能とする垂直配向型液晶表示素子の駆動方法を提供する。

【解決手段】 液晶表示素子内の液晶に電圧を印加して前記液晶表示素子の階調を表現させるために用いられる駆動用パルス列であって、このパルス列の1フィールド期間を、前記液晶を駆動しない非表示期間と前記液晶を駆動する表示期間とからなる複数のサブフィールドで構成し、前記階調に応じて選択された各サブフィールドの組合わせに対し、前記液晶に所定の電圧を印加して、画像を表示するデジタル方式の垂直配向型液晶表示素子の駆動方法において、前記夫々のサブフィールドの前記表示期間の合計と前記1フィールド期間との比を1：6以上5：6以下の範囲とし、前記表示期間において、前記液晶に飽和駆動電圧を印加して、液晶を駆動する。

【選択図】 図1

特願 2 0 0 3 - 0 8 5 1 8 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 3 2 9]

1. 変更年月日

1 9 9 0 年 8 月 8 日

[変更理由]

新規登録

住 所

神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地

氏 名

日本ビクター株式会社